

98 P 12 96



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑩ DE 40 37 062 C 2

⑤1 Int. Cl.⁸:
H 03 K 5/135
H 04 L 25/38
H 04 L 7/00

②1 Aktenzeichen: P 40 37 062.3-31
②2 Anmeldetag: 22. 11. 90
④3 Offenlegungstag: 27. 5. 92
④6 Veröffentlichungstag
der Patenterteilung: 23. 5. 98

B-1

DE 40 37 062 C 2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:

BTS Broadcast Television Systems GmbH, 64293
Darmstadt, DE

⑦2 Erfinder:

Wehlage, Ernst, Dipl.-Ing., 6107 Reinheim, DE

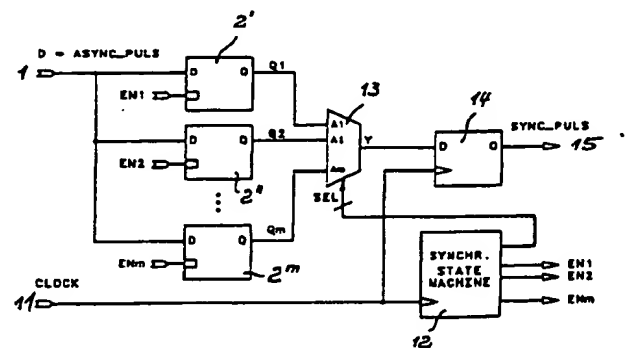
⑤6 Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

DE 34 41 501 A1
DE 31 08 183 A1
EP 02 38 747 A2
EP 01 83 875 A2

N.N.: Electronic Design-International, Nov.1988,
S.75,76;

⑤4 Schaltungsanordnung zur Synchronisierung eines asynchronen Datensignals

⑤7 Verfahren zur Synchronisation eines asynchronen Datensignals, bei welcher das asynchrone Datensignal von mindestens einem D-Flipflop durch Anlegen eines synchronen Signals an einem Takteingang des D-Flipflops übernommen wird, dadurch gekennzeichnet, daß von dem synchronen Taktsignal durch Frequenzteilung mittels einer Einrichtung (12) m phasenverschobene Hilfssignale (EN1, EN2 bis ENm) abgeleitet werden, daß in dem asynchronen Datensignal vorliegende logische Pegel pegelabhängig gesteuert durch die abgeleiteten m Hilfssignale (EN1, EN2 bis ENm) von m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) übernommen werden, wobei den D-Eingängen das asynchrone Datensignal parallel zugeführt ist und an den Takteingängen jeweils eines der m Hilfssignale (EN1, EN2 bis ENm) liegt, daß logische Pegel von Signalen an Ausgängen der m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) zyklisch von einem nachfolgenden, mit dem synchronen Taktsignal flankengesteuerten D-Flipflop (14, 16', 16'' bis 16^m) übernommen werden.



DE 40 37 062 C 2

Die Erfindung geht aus von einer Schaltungsanordnung zur Synchronisierung eines asynchronen Datensignals nach dem Oberbegriff des Patentanspruchs 1.

Aus der Zeitschrift "Electronic Design-International", Nov. 1988, Seiten 75 und 76, ist eine Synchronisierungsschaltung bekannt, bei welcher zwei flankengesteuerte D-Flipflops des Typs 74LS74 in Reihe geschaltet sind. Dabei liegt ein asynchrones Datensignal an dem D-Eingang eines ersten D-Flipflops, während der Ausgang des ersten D-Flipflops mit dem D-Eingang eines zweiten D-Flipflops verbunden ist. Beide D-Flipflops werden durch zwei zueinander inverse Taktsignale getaktet, so daß das asynchrone Datensignal von dem ersten D-Flipflop durch die fallende Flanke des synchronen Taktsignals übernommen wird, bevor das zweite D-Flipflop das anliegende Datensignal mit der steigenden Taktfanke übernimmt. Da metastabile Zustände für das erste D-Flipflop nicht zu verhindern sind, ist hier sogar eine Übernahme des metastabilen Zustandes von dem ersten D-Flipflop nach dem zweiten D-Flipflop möglich. Mit geringem Aufwand kann jedoch so die Wahrscheinlichkeit für das Auftreten eines metastabilen Zustands an das zweite D-Flipflop verringert werden.

Weiterhin ist bekannt, das erste flankengesteuerte D-Flipflop durch ein pegelgesteuertes D-Flipflop auszutauschen. Dadurch kann das Auftreten von metastabilen Zuständen des zweiten D-Flipflops so lange verhindert werden, wie die Pulsweite des Taktes das Einhalten der sogenannten set-up-Zeit am D-Eingang des zweiten D-Flipflops sicherstellt. Die set-up-Zeit gibt an, um welche Zeit vor einem aktiven Flankenwechsel Daten stabil an dem D-Eingang anliegen sollten. In synchronen Schaltwerken, die mit sehr hohen Taktfrequenzen betrieben werden, besteht häufig die Anforderung, eine Variation des Pulsweitenverhältnisses des Taktes in einem größeren Bereich zuzulassen. Diese Forderung setzt aber die maximal zulässige Taktfrequenz dieser bekannten Synchronisierungsschaltungen herab.

Ferner ist aus der DE 31 06 183 A1 ein Verfahren zur fehlerfreien Synchronisation asynchroner Impulse durch logische Verknüpfung der asynchronen Impulse mit Taktimpulsen konstanter Frequenz mittels Flipflops bekannt, bei welchem zum Ermitteln eines metastabilen Zustands des Flipflops die Ausgangsspannungen des Flipflops mit einer vorgegebenen Schwellenspannung verglichen werden und bei welchem beim Vorliegen eines metastabilen Zustands das Flipflop bis zum Auftreten des nächsten Taktimpulses in einen dritten stabilen Zustand, der einer Auswertung der Ausgangsspannungen des Flipflops verhindert, gekippt wird. Ein solches Verfahren liefert jedoch während des metastabilen Zustands ein abweichendes Zeitverhalten, das Hochgeschwindigkeits-Anwendungen einschränkt.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung nach der eingangs genannten Art zu schaffen, welche zur Synchronisation durchgehend nur eine einzige Taktfanke nutzt und damit auch für entsprechend hohe Taktfrequenzen geeignet ist, wobei das Auftreten von metastabilen Zuständen grundsätzlich verhindert werden soll. Darüberhinaus soll die Funktion nach außen der eines üblichen flankengesteuerten D-Flipflops entsprechen.

Diese Aufgabe wird durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale gelöst.

Die erfindungsgemäße Schaltungsanordnung mit den

kennzeichnenden Merkmalen des Patentanspruchs 1 hat den Vorteil, daß die Datenübernahme durch pegelgesteuerte D-Flipflops in Abhängigkeit von synchron erzeugten Hilfssignalen erfolgt. Die Frequenz eines Hilfssignals beträgt nur einen Bruchteil des synchronen Taktsignals. Dadurch kann sowohl die eingangs erwähnte set-up-Zeit als auch die hold-Zeit der verwendeten D-Flipflops entsprechend berücksichtigt werden. Die minimale Impulsbreite der asynchron anliegenden Daten läßt sich somit auf eine Periode des verwendeten Taktsignals beschränken.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Patentanspruch 1 angegebenen Schaltungsanordnung möglich.

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen:

Fig. 1 das Blockschaltbild einer ersten Ausführungsform gemäß der Erfindung,

Fig. 2 Spannungszeitdiagramme zur Erläuterung der Fig. 1,

Fig. 3 ein pegelgesteuertes D-Flipflop nach dem Stand der Technik,

Fig. 4 das Blockschaltbild einer Variante der ersten Ausführungsform gemäß der Erfindung,

Fig. 5 Spannungszeitdiagramme zur Erläuterung der Fig. 4,

Fig. 6 das Blockschaltbild einer zweiten Ausführungsform gemäß der Erfindung,

Fig. 7 Spannungszeitdiagramme zur Erläuterung der Fig. 6,

Fig. 8 das Blockschaltbild einer dritten Ausführungsform gemäß der Erfindung und

Fig. 9 Spannungszeitdiagramme zur Erläuterung der Fig. 8.

In der Fig. 1 wird bei 1 ein asynchrones Datensignal parallel den D-Eingängen von m pegelgesteuerten D-Flipflops 2', 2'' bis 2^m zugeführt. Derartige pegelgesteuerte D-Flipflops sind an sich bekannt; sie weisen in dieser Anwendung eine Struktur nach Fig. 3 auf.

Die Fig. 3 zeigt eine Schaltungsanordnung eines pegelgesteuerten D-Flipflops 2, bei welchem ein bei 3 anliegendes Datensignal D und ein bei 4 anliegendes Übernahmesignal EN durch eine rückgekoppelte Gatterlogik, die in dem vorliegenden Fall aus vier UND-Gattern 5, 6, 7 und 8 sowie einer Negationsstufe 9 besteht, logisch verknüpft wird. Das dargestellte pegelgesteuerte D-Flipflop genügt hinsichtlich der Eingangssignale D und EN sowie dem Ausgangssignal Q (Ausgang 10) der booleschen Gleichung:

$$Q_n = (EN + D) \vee (\overline{EN} + Q_{n-1}) \vee (D + Q_{n-1}).$$

Das pegelgesteuerte D-Flipflop nach Fig. 3 weist keine metastabilen Probleme auf und ist damit hazard-frei.

Von dem bei 11 in Fig. 1 zugeführten synchronen Taktsignal werden in einer Einrichtung 12 durch ein synchrones Steuerwerk Hilfssignale EN1, EN2 bis EN_m erzeugt, welche den pegelgesteuerten Takteingängen der pegelgesteuerten D-Flipflops 2', 2'' bis 2^m zugeführt werden. Da synchrone Steuerwerke an sich bekannt sind (Buch von Dr.-Ing. Klaus Waldschmidt "Schaltungen der Datenverarbeitung", Seite 140 ff., B.G. Teubner Stuttgart 1980), braucht in diesem Zusammenhang hierauf nicht näher eingegangen zu werden. Die Einrichtung 12 kann beispielsweise durch einen Johnson-Zähler verwirklicht sein. Die Ausgänge der pegelgesteuerten

D-Flip-Flops 2', 2'' bis 2^m sind mit Eingängen eines Multiplexers 13 verbunden, der durch ein ebenfalls in der Einrichtung 12 erzeugtes Steuersignal SEL gesteuert wird. In Abhängigkeit des Steuersignals SEL wird einer der Eingänge A1, A2 bis Am auf einen Ausgang Y geschaltet und mit dem D-Eingang eines flankengesteuerten D-Flipflops 14 verbunden. Das flankengesteuerte D-Flipflop 14 ist an seinem Takteingang mit dem bei 11 zugeführten synchronen Taktsignal beaufschlagt. An einem Ausgang Q des flankengesteuerten D-Flipflops 14 ist bei 15 ein synchrones Datensignal abnehmbar.

Zur Erläuterung der Wirkungsweise der Schaltung sei angenommen, daß das synchrone Taktsignal den in der Fig. 2a dargestellten Impulsverlauf aufweist. Durch synchrone Ableitung aus dem asynchronen Taktsignal 12 werden die in den Fig. 2b, 2c und 2d dargestellten Hilfssignale EN1, EN2 und ENm erzeugt. Mit dem Vorliegen eines hohen logischen Pegels des anliegenden Hilfssignals wird das entsprechende pegelgesteuerte D-Flipflop transparent und das asynchron anliegende Datensignal, lediglich verzögert durch die Durchlaufzeit des pegelgesteuerten D-Flipflops, dem zugeordneten Eingang des Multiplexers 13 zugeführt. Der Multiplexer 13 schaltet sequentiell die von den pegelgesteuerten D-Flipflops 2', 2'' bis 2^m gehaltenen Signale durch. Die Fig. 2e zeigt das entsprechende Datensignal an dem D-Eingang des flankengesteuerten D-Flipflops 14. Mit dem nachfolgenden, flankengesteuerten D-Flipflop 14 wird der jeweils vorliegende logische Pegel des aufbereiteten Datensignals (Fig. 2e) mit der steigenden Planke des synchronen Taktsignals (Fig. 2a) übernommen. Zu einem Zeitpunkt T1 liegt dabei zwischen dem synchronen Taktsignal und dem am D-Eingang des flankengesteuerten D-Flipflops 14 liegenden Datensignal der in der Fig. 2 dargestellte zeitliche Zusammenhang vor. Es ist festzustellen, daß die steigende Planke des synchronen Taktsignals in jedem Fall stabile Verhältnisse im Datenpegel vorfindet und damit ein synchrones Datensignal ohne metastabile Zustände von dem flankengesteuerten D-Flipflop 14 abgegeben werden kann. Der Phasenversatz zwischen den jeweiligen Hilfssignalen und dem zur Durchschaltung gewählten Signal SEL des Multiplexers 13 wird durch die Anforderung der set-up-Zeit des D-Flipflops 14 bestimmt. Daraus resultiert auch die notwendige Anzahl der Phasen. Die Fig. 2f zeigt das bei 15 vorliegende synchrone Datensignal.

Weitere Einzelheiten zu dieser ersten Ausführungsform werden nachfolgend in Verbindung mit der in der Fig. 4 dargestellten Schaltungsanordnung beschrieben. In den Figuren sind gleiche Teile mit gleichen Bezugszeichen versehen. Gegenüber der allgemeinen Schaltungsanordnung der Fig. 1 weist die einfachere Schaltungsanordnung der Fig. 4 eingangsseitig lediglich zwei pegelgesteuerte D-Flipflops 2' und 2'' auf. Bei dieser konkreten Ausführungsform besteht die Einrichtung 12 aus einem sogenannten Toggle-Flipflop, welches das bei 11 anliegende synchrone Taktsignal (Fig. 5a) in der Frequenz teilt. An dem nichtinvertierenden Ausgang Q des Toggle-Flipflops liegt das Hilfssignal EN1 (Fig. 5b) und an dem invertierenden Ausgang Q das Hilfssignal EN2 (Fig. 5c). In dem Fall, daß das Hilfssignal EN1 einen hohen logischen Pegel aufweist, wird der asynchrone D-Eingang des pegelgesteuerten D-Flipflops 2' transparent auf den Ausgang Q1 geschaltet. Das pegelgesteuerte D-Flipflop 2'' befindet sich somit im hold-Zustand. Mit der folgenden ansteigenden Taktflanke wird sodann das Ausgangssignal Q2 des flankengesteuerten D-Flipflops 2'' nach entsprechender Weiterleitung durch den

Multiplexer 13 in das flankengesteuerte D-Flipflop 14 übernommen und gleichzeitig das Hilfssignal EN1 getoggelt. Im Fall, daß das Hilfssignal EN1 den niedrigen logischen Pegel aufweist, wird das an den D-Eingängen liegende asynchrone Datensignal transparent auf den Ausgang Q2 des D-Flipflops 2'' geschaltet; das pegelgesteuerte D-Flipflop 2' befindet sich dann im hold-Zustand. Folgt nun eine steigende Taktflanke, wird das Ausgangssignal Q1 des pegelgesteuerten D-Flipflops 2' nach Weiterleitung durch entsprechende Steuerung des Multiplexers 13 von dem flankengesteuerten D-Flipflop 14 übernommen und das Hilfssignal EN1 wieder getoggelt.

Bezogen auf das logische Verhalten zwischen dem Eingang und dem Ausgang liegt ein D-Register vor, welches mit einem Signalwechsel in dem Hilfssignal EN1 die am D-Eingang anliegenden asynchronen Daten übernimmt, aber die übernommenen Daten erst mit der nachfolgenden steigenden Flanke des synchronen Taktsignals wieder ausgibt. Bei der vorliegenden Ausführungsform beträgt die Verzögerung zwischen den ein- und ausgangsseitigen Daten mindestens eine, aber höchstens zwei Taktperioden. Die jeweilige Verzögerung hängt dabei von der jeweiligen Phasenlage zwischen den Signalen am Takt- und D-Eingang der pegelgesteuerten D-Flipflops ab.

In Fig. 5e und 5f sind die Impulszüge der Ausgangssignale Q1 und Q2 an den Ausgängen der beiden pegelgesteuerten D-Flipflops 2' und 2'' dargestellt. Die Fig. 5g zeigt das von dem flankengesteuerten D-Flipflop 14 abgegebene Datensignal.

Eine Weiterbildung der in Fig. 1 dargestellten Schaltungsanordnung ist in Fig. 6 angegeben. Durch Verwendung von pegelgesteuerten D-Flipflops 2', 2'' bis 2^m mit Tri-State-Ausgängen läßt sich der in der Fig. 1 angegebene Multiplexer 13 einsparen. In diesem Fall übernehmen Freigabesignale OE1, OE2 bis OEm (Fig. 7e, f, g) die selektive Signaldurchschaltung der Daten zu dem D-Eingang des flankengesteuerten D-Flipflops 14. Die Freigabesignale OE1, OE2 bis OEm werden ebenso wie die Hilfssignale EN1, EN2 bis ENm in der Einrichtung 12 erzeugt. Eine entsprechende Zuordnung der Freigabesignale OE1, OE2 bis OEm zu den von dem synchronen Taktsignal (Fig. 7a) abgeleiteten Hilfssignalen EN1, EN2 bis ENm (Fig. 7b, c und d) sowie dem synchron abgegebenen Datensignal (Fig. 7h) zeigt die Fig. 7. Der Vorteil dieser Schaltungskonfiguration besteht neben der Aufwandsersparnis darin, daß die Durchlaufzeit von den pegelgesteuerten D-Flipflops zu dem D-Eingang des flankengesteuerten D-Flipflops 14 reduziert wird. Durch diese Maßnahme wird der erfindungsgemäße Synchronisierer schneller, so daß die Datenrate höher gewählt werden kann, solange die tri-state-Steuerung der set-up-Bedingung des D-Flipflops 14 genügt.

Eine weitere Steigerung der Signalverarbeitungsgeschwindigkeit des erfindungsgemäßen Synchronisierers läßt sich dadurch erzielen, daß gemäß Fig. 8 in die Ausgangsleitungen der pegelgesteuerten D-Flipflops 2', 2'' bis 2^m flankengesteuerte D-Flipflops 16', 16'' bis 16^m eingefügt werden, die über sogenannte Taktfreigabeeingänge CEN verfügen. Flankengesteuerte D-Flipflops des Typs 74F173 verfügen beispielsweise über einen derartigen Taktfreigabeeingang. Die Taktfreigabesignale CE1, CE2, CEm werden ebenso wie die Hilfssignale EN1, EN2 bis ENm in der Einrichtung 12 erzeugt. Ausgangssignale der flankengesteuerten D-Flipflops 16', 16'' bis 16^m werden zu Paralleleingängen P1, P2 bis Pm eines Schieberegisters 17 weitergeleitet. Die Über-

nahme der anliegenden Daten in das Schieberegister 17 erfolgt durch ein Ladesignal LOAD, welches ebenfalls in der Einrichtung 12 erzeugt wird. Die in dem Schieberegister 17 übernommenen Daten werden abhängig von dem bei 11 zugeführten synchronen Taktsignal durch das Schieberegister 17 geschoben, so daß bei 15 ein synchrones Datensignal abnehmbar ist. In Fig. 9 ist die entsprechende zeitliche Zuordnung der in Fig. 8 verwendeten Hilfssignale EN1, EN2 bis ENm, der Taktfreigabesignale CE1, CE2 bis CEm und des Ladesignals LOAD in Hinblick auf das zugeführte synchrone Taktsignal und das abgegebene synchrone Datensignal dargestellt.

Diese Variante erlaubt die Verwendung einer besonders hohen Taktfrequenz, da die Ausgangssignale der pegelgesteuerten D-Flipflops individuell mit geeigneten Flanken des Taktes übernommen werden können. Die Ausgangssignale der flankengesteuerten D-Flipflops befinden sich bereits im synchronen Taktraster, so daß eine Parallel/Serien-Wandlung mittels des Schieberegisters 17 unproblematisch ist.

Außerdem besteht bei keiner der angegebenen Varianten eine kombinatorische Abhängigkeit vom Taktsignal. Das Pulsweitenverhältnis des Taktes ist unabhängig.

Patentansprüche

1. Verfahren zur Synchronisation eines asynchronen Datensignals, bei welcher das asynchrone Datensignal von mindestens einem D-Flipflop durch Anlegen eines synchronen Signals an einem Takteingang des D-Flipflops übernommen wird, dadurch gekennzeichnet, daß von dem synchronen Taktsignal durch Frequenzteilung mittels einer Einrichtung (12) m phasenverschobene Hilfssignale (EN1, EN2 bis ENm) abgeleitet werden, daß in dem asynchronen Datensignal vorliegende logische Pegel pegelabhängig gesteuert durch die abgeleiteten m Hilfssignale (EN1, EN2 bis ENm) von m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) übernommen werden, wobei den D-Eingängen das asynchrone Datensignal parallel zugeführt ist und an den Takteingängen jeweils eines der m Hilfssignale (EN1, EN2 bis ENm) liegt, daß logische Pegel von Signalen an Ausgängen der m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) zyklisch von einem nachfolgenden, mit dem synchronen Taktsignal flankengesteuerten D-Flipflop (14, 16', 16'' bis 16^m) übernommen werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß ein Multiplexer (13) vorgesehen ist, welcher eingangsseitig mit Ausgängen der m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) verbunden ist und welcher durch ein eine logische Verknüpfung der Hilfssignale (EN1, EN2 bis ENm) abgeleitetes Steuersignal (SEL) steuerbar ist und dessen Ausgang mit dem D-Eingang eines flankengesteuerten D-Flipflops (14) verbunden ist, dessen Takteingang mit dem synchronen Taktsignal beaufschlagt ist und an dessen Ausgang (15) das synchrone Datensignal abnehmbar ist (Fig. 1).

3. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch

ein synchrones Steuerwerk (12) zur Erzeugung der m Hilfssignale (EN1, EN2 bis ENm),

ein erstes und zweites pegelgesteuertes D-Flipflop (2', 2''), bei denen an D-Eingängen das asynchrone Datensignal liegt, und wobei am Takteingang des

ersten pegelgesteuerten D-Flipflops (2') ein durch das synchrone Schaltwerk (12) erhaltenes nichtinvertiertes Signal (EN1) und am Takteingang des zweiten pegelgesteuerten D-Flipflops (2'') ein durch das synchrone Schaltwerk (12) erhaltenes invertiertes Hilfssignal (EN2) anliegen,

einen Multiplexer (13) mit zwei Eingängen, einem Ausgang und einem Steuereingang, wobei die beiden Eingänge mit Ausgängen des ersten und zweiten pegelgesteuerten D-Flipflops (2', 2'') verbunden sind und wobei der Steuereingang von einem der Hilfssignale beaufschlagt ist und dessen Ausgang mit dem D-Eingang eines flankengesteuerten D-Flipflops (14) verbunden ist, dessen Takteingang mit dem synchronen Taktsignal beaufschlagt ist und an dessen Ausgang (15) das synchrone Datensignal abnehmbar ist (Fig. 4).

4. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch

ein synchrones Steuerwerk (12) zur Erzeugung von m Hilfssignalen (EN1, EN2 bis ENm) sowie zur Erzeugung von m mit den Hilfssignalen (EN1, EN2 bis ENm) in einem phasenmäßigen Zusammenhang stehenden Steuerfreigabesignalen (OE1, OE2 bis OEM),

m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) mit je einem Tri-State-Ausgang, bei welchen den D-Eingängen das asynchrone Datensignal parallel zugeführt ist, bei welchen an Takteingängen jeweils eines der m Hilfssignale (EN1, EN2 bis ENm) liegt, bei welchen an Tri-State-Eingängen jeweils eines der erzeugten Freigabesignale aufgeschaltet ist und bei welchen die Tri-State-Ausgänge miteinander verbunden sind, und

ein flankengesteuertes D-Flipflop (14), dessen D-Eingang mit den Ausgängen der m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) verbunden ist, dessen Takteingang mit dem synchronen Taktsignal beaufschlagt ist und an dessen Ausgang (15) das synchrone Datensignal abnehmbar ist (Fig. 6).

5. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch

ein synchrones Steuerwerk (12) zur Erzeugung von m Hilfssignalen (EN1, EN2 bis ENm) sowie zur Erzeugung von m mit den Hilfssignalen (EN1, EN2 bis ENm) in einem phasenmäßigen Zusammenhang stehenden Taktfreigabesignalen (CE1, CE2 bis CEm) und zur synchronen Erzeugung eines Ladesignals (LOAD),

m pegelgesteuerten D-Flipflops (2', 2'' bis 2^m), bei welchen den D-Eingängen das asynchrone Datensignal parallel zugeführt ist und bei welchen an den Takteingängen jeweils eines der m Hilfssignale EN1, EN2 bis ENm) liegt,

m flankengesteuerten D-Flipflops (16', 16'' bis 16^m), bei welchen die D-Eingänge mit Ausgängen der pegelgesteuerten D-Flipflops (2', 2'' bis 2^m) verbunden sind, bei welchen Taktfreigabeeingänge mit den Taktfreigabesignalen (CE1, CE2 bis CEm), beaufschlagt sind und bei welchem Takteingänge parallel mit dem synchronen Taktsignal verbunden sind, und

ein Schieberegister (17) mit m parallelen Eingängen, einem Takteingang, einem Ladeeingang und einem Ausgang, wobei die parallelen Eingänge mit Ausgängen der m flankengesteuerten D-Flipflops (16', 16'' bis 16^m) verbunden sind, wobei der Takteingang mit dem synchronen Taktsignal und der

Ladeeingang mit dem erzeugten Ladesignal beaufschlagt ist und wobei an dem Ausgang (15) das synchrone Datensignal abnehmbar ist (Fig. 8).

Hierzu 4 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

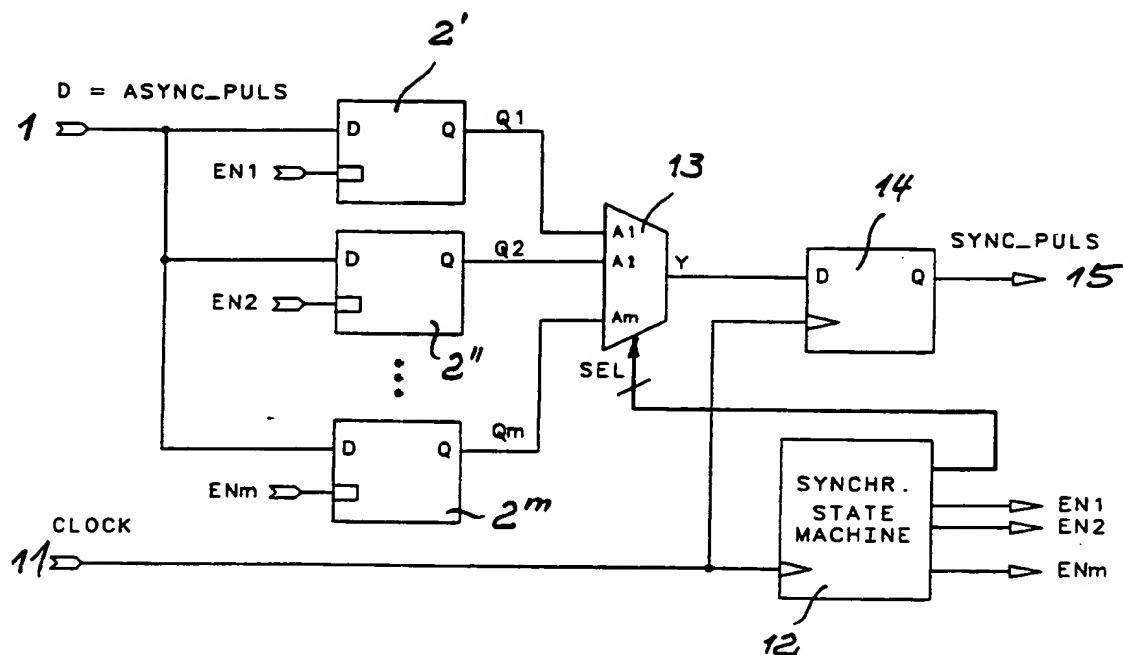


FIG. 1

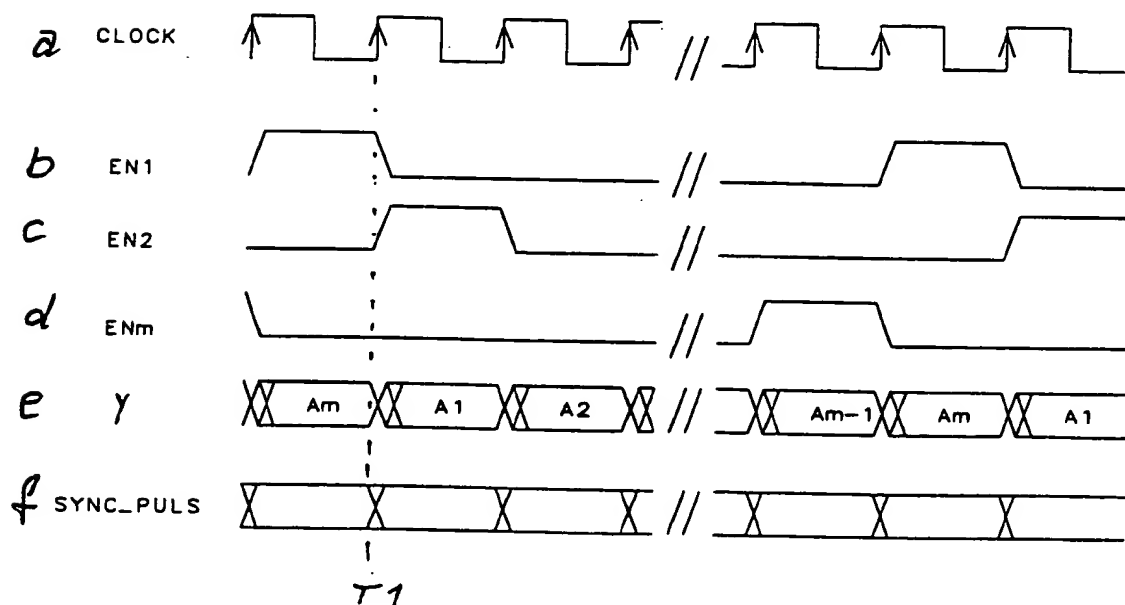


FIG. 2

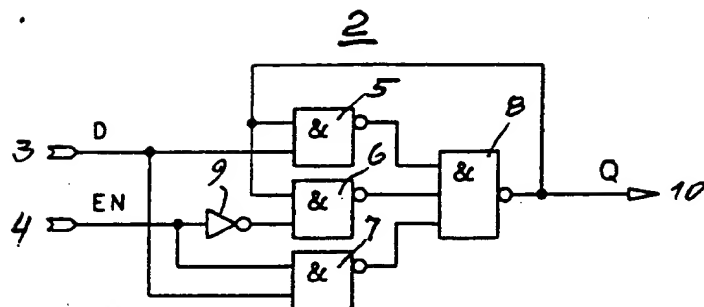


FIG. 3

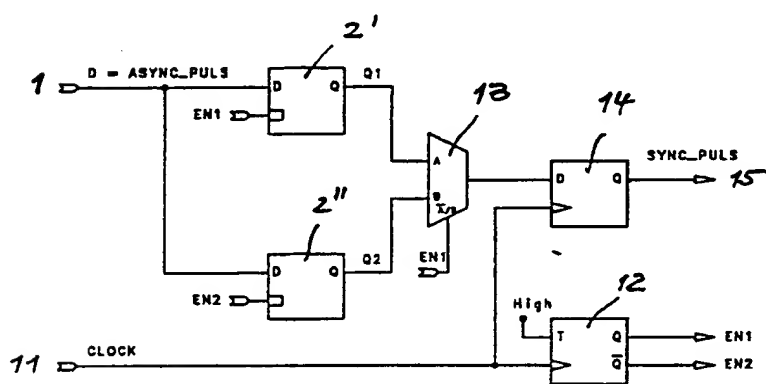


FIG. 4

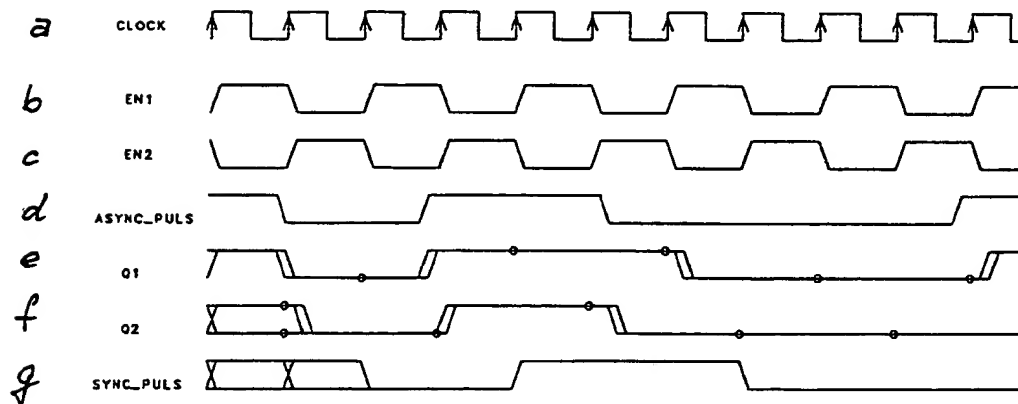


FIG. 5

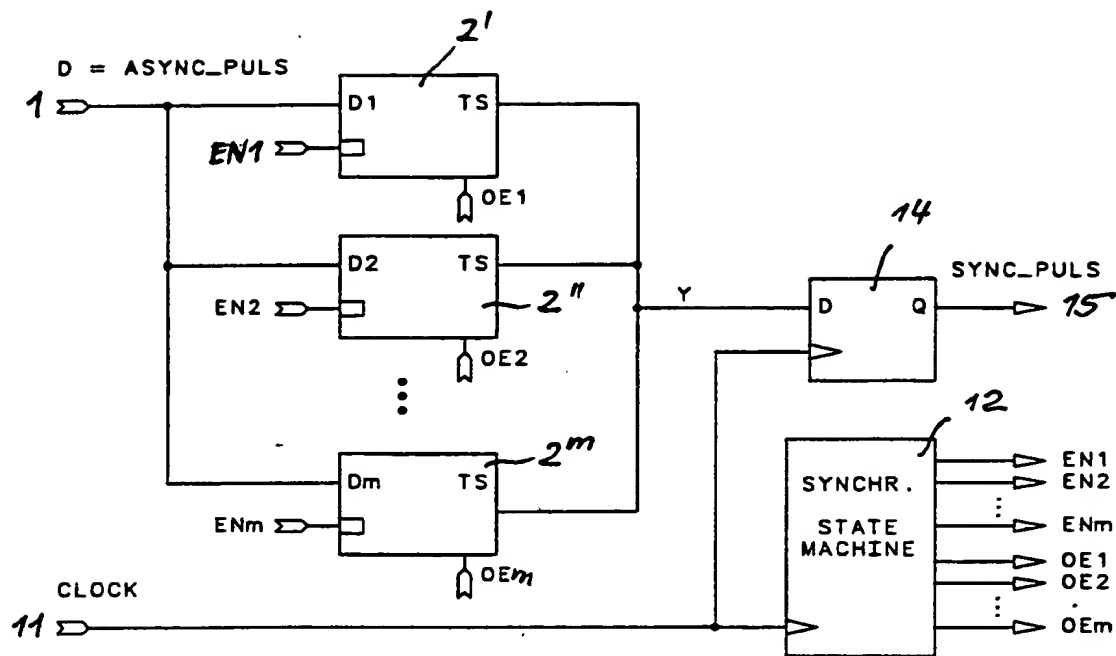


FIG. 6

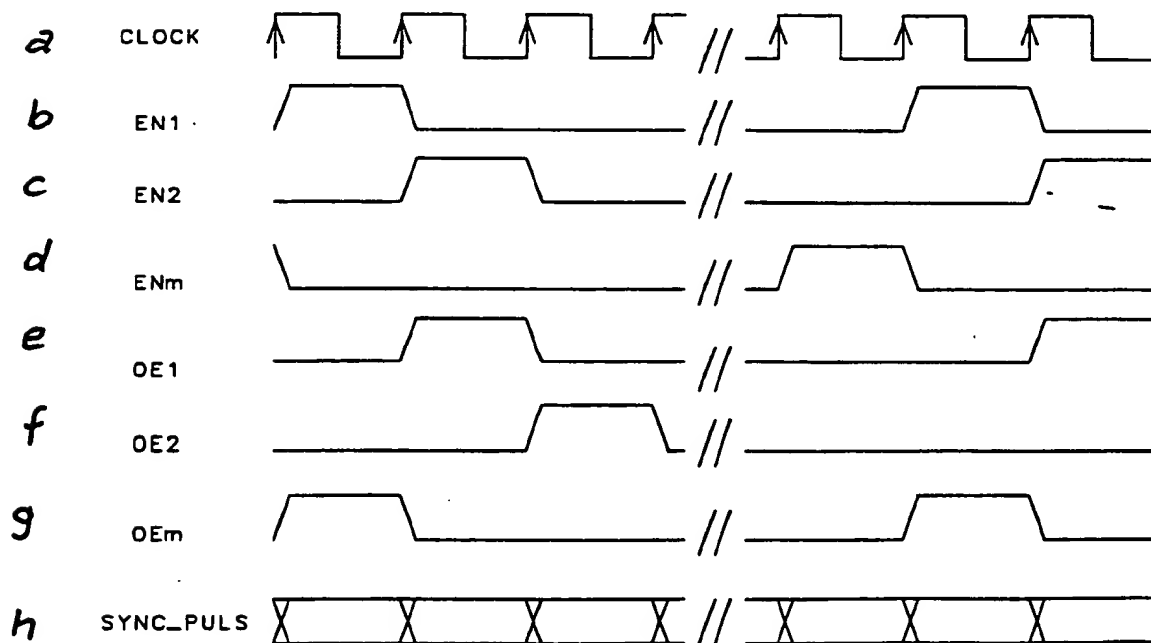


FIG. 7

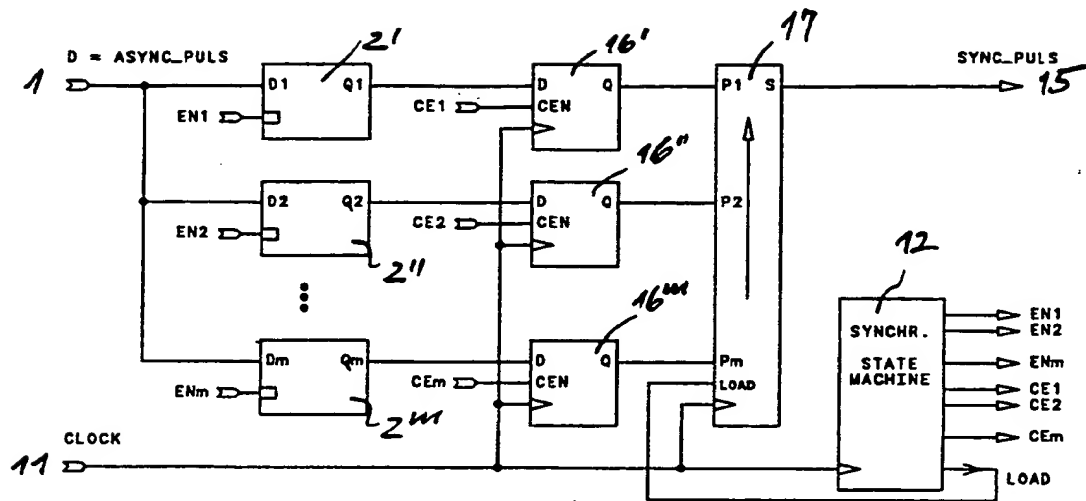


FIG. 8

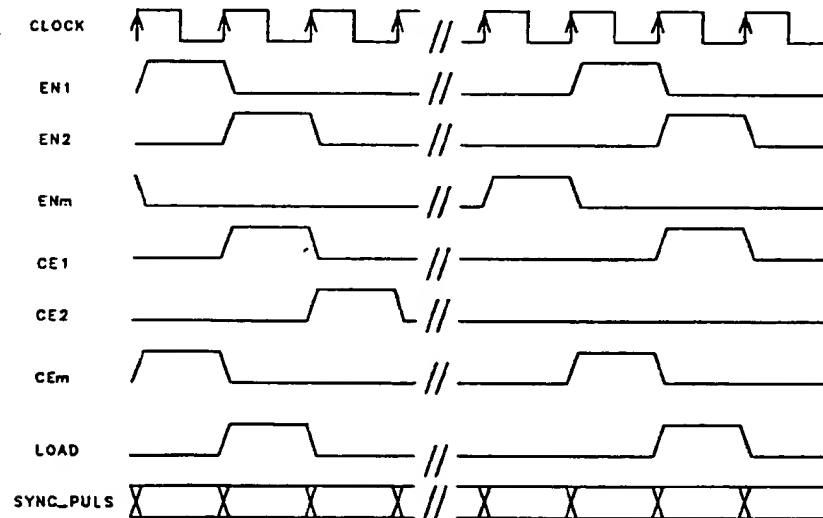


FIG. 9